SUZAKU-V
ハードウェアマニュアル

Version 2.0.8

SZ310-U00

株式会社アットマークテクノ
http://www.atmark-techno.com/

SUZAKU 公式サイト
http://suzaku.atmark-techno.com/

目次

1. はじめに ……… 1
2. 注意事項 ……… 2
2.1. 安全に関する注意事項 ……… 2
2.2. 保証に関する注意事項 ……… 2
2.3. 取り扱い上の注意事項 ……… 3
2.4. FPGA 使用に関しての注意事項 ……… 4
2.5. ソフトウェア使用に関しての注意事項 ……… 4
3. 作業の前に ……… 5
3.1. 準備するもの ……… 5
4. 概要 ……… 6
4.1. SZ310-U00 の特徴 ……… 6
4.2. 仕様 ……… 7
4.3. 全体ブロック図 ……… 8
4.4. 機能 ……… 9
4.4.1. プロセッサ ……… 9
4.4.2. バス ……… 9
4.4.3. メモリ ……… 10
4.4.4. 割り込み ……… 10
4.4.5. タイマ ……… 10
4.4.6. シリアルコンソール ……… 10
4.4.7. LAN ……… 10
4.4.8. 外部 I/O ……… 11
4.4.9. FPGA コンフィギュレーション ……… 11
4.4.10. ソフトウェアリセット機能 ……… 13
4.4.11. JTAG ……… 13
4.4.12. 設定用ジャンパ ……… 14
4.4.13. LED ……… 14
4.4.14. 電源入力+3.3V ……… 14
4.4.15. 内部ロジック用電源出力+3.3V ……… 15
4.4.16. 内部電源シーケンス ……… 15
5. メモリマップ ……… 16
5.1. SZ310-U00 メモリマップ ……… 16
6. FPGA ピンアサイン ……… 17
7. 各種インターフェース仕様 ……… 22
7.1. 各種インターフェースの配置 ……… 22
7.2. CON2 外部 I/O、FPGA プログラム用 JTAG コネクタ ……… 23
7.3. CON3 外部 I/O コネクタ ……… 24
7.4. CON4 外部 I/O コネクタ ……… 25
7.5. CON5 外部 I/O コネクタ ……… 25
7.6. CON7 FPGA JTAG コネクタ ……… 26
7.7. CON1 RS232C コネクタ ……… 26
7.8. JP1 起動モードジャンパ ……… 27
7.9. JP2 FPGA プログラム用ジャンパ ……… 27
7.10. D3 パワーオン LED ……… 28
7.11. D1 ユーザコントロール LED ……… 28
7.12. CON6 電源入力+3.3V コネクタ ……… 28
7.13. Ethernet 10/100 Base-T ……… 29
8. 基板形状図 ……… 30

表目次

表 4-1 SZ310-U00 仕様 ……7
表 5-1 SZ310-U00 メモリマップ ……16
表 5-2 フラッシュメモリ 8MByte 内のメモリマップ(0xF000 0000～0xF07F FFFF) ……16
表 6-1 FPGA ピンアサイン 外部 I/O 関連(1/3) ……17
表 6-2 FPGA ピンアサイン 外部 I/O 関連(2/3) ……18
表 6-3 FPGA ピンアサイン 内部デバイス関連(1/2) ……19
表 6-4 FPGA ピンアサイン 内部デバイス関連(2/2) ……20
表 6-5 FPGA ピンアサイン JTAG、コンフィギュレーション関連 ……21
表 7-1 各種インターフェースの内容 ……22
表 7-2 CON2 外部 I/O、FPGA プログラム用コネクタ ……23
表 7-3 CON3 外部 I/O コネクタ ……24
表 7-4 CON4 外部 I/O コネクタ ……25
表 7-5 CON5 外部 I/O コネクタ ……25
表 7-6 CON7 Virtex-II Pro 用 JTAG コネクタ ……26
表 7-7 CON1 RS232C コネクタ ……26
表 7-8 JP1 起動モード ジャンパ ……27
表 7-9 JP2 FPGA プログラム用ジャンパ ……27
表 7-10 D1 ユーザコントロール LED ……28
表 7-11 CON6 電源入力+3.3V コネクタ ……28
表 7-12 Ethernet 10/100 Base-T ……29

図目次

図 4-1 SZ310-U00 ブロック図 ……8
図 4-2 SZ310-U00 バス構成 ……9
図 4-3 FPGA コンフィギュレーション ……12
図 6-1 CoreConnect のビットラベルと信号名 ……21
図 7-1 各種インターフェースの配置 ……22
図 8-1 SZ310-U00 の基板形状 ……30

1.はじめに

このたびは SUZAKU-V(SZ310-U00) をお求めいただき、ありがとうございます。

■

本マニュアルには SUZAKU-V(SZ310-U00)のハードウェアの仕様について記載しております。
ただし、本マニュアルが適用される FPGA プロジェクトは下記の日付以降の CD-ROM となっております。下記日付以前の FPGA のプロジェクトでは構成が違うのでご注意ください。

2006/8/16

本マニュアルを SUZAKU-V(SZ310-U00)の機能を最大限引き出すために、ご活用いただければ幸いです。

2. 注意事項

2.1. 安全に関する注意事項

SUZAKU-V を安全にご使用いただくために、特に以下の点にご注意くださいますようお願いいたします。

> 本製品には一般電子機器用（OA機器・通信機器・計測機器・工作機械等）に製造された半導体部品を使用していますので、その誤作動や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置（医療機器・交通機器・燃焼制御・安全装置等）に組み込んで使用したりしないでください。また、半導体部品を使用した製品は、外来ノイズやサージにより誤作動したり故障したりする可能性があります。ご使用になる場合は万一誤作動、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計（リミットスイッチやヒューズ・ブレーカ等の保護回路の設置、装置の多重化等）に万全を期されますようお願い申しあげます。

2.2. 保証に関する注意事項

● 製品保証範囲について

付属品（ソフトウェアを含みます）を使用し、取扱説明書、各注意事項に基づく正常なご使用に限り有効です。万一正常なご使用のもと製品が故障した場合は、初期不良保証期間内であれば新品交換をさせていただきます。

● 保証対象外になる場合

次のような場合の故障・損傷は、保証期間内であっても保証対象外になります。

1. 取扱説明書記載の使用方法、または注意に反したお取り扱いによる場合
2. 改造・調整や部品交換による場合。または正規のものを使用していないか、あるいは過去に使用されていた場合
3. お客様のお手元に渡った後の輸送、移動時の落下等お取り扱いの不備による場合
4. 火災・地震・水害・落雷・その他の天災、公害や異常電圧による場合
5. AC アダプタ・ケーブル等の付属品について、同梱のものを使用していない場合
6. 付属品がすべて揃っていない場合

● 免責事項

弊社に故意または重大な過失があった場合を除き、製品の使用および、故障、修理によって発生するいかなる損害についても、一切の責任を負わないものとします。

> 本製品は購入時の初期不良以外の保証を行っておりません。保証期間は商品到着後２週間です。本製品をご購入しましたらお手数でも必ず動作確認を行ってからご使用ください。本製品に対して注意事項を守らずに発生した故障につきましては保証対象外となります。

2.3. 取り扱い上の注意事項

劣化、破損、誤動作、発煙、発火の原因となることがあります。取り扱い時には以下のような点にご注意ください。

⚠入力電源

3.3V+3%以上の電圧を入力しないでください。また、極性を間違わないでください。

⚠インターフェース

各インターフェース(外部 I/O、RS-232C、Ethernet、JTAG)には規定以外の信号を接続しないでください。また、信号の極性、入出力方向を間違わないでください。

⚠本製品の改造

本製品について、外部 I/O コネクタ及び JTAG コネクタ(CON2、CON3、CON4、CON5、CON7)へのコネクタの増設以外の**改造**を行った場合は**保証対象外**となりますので、十分にご注意ください。

コネクタを増設する際にはマスキングを行い、周囲の部品に半田くず、半田ボール等付着しない様十分にご注意ください。

なお、改造を行う場合は、改造前の動作確認を必ず行うようお願いします。

⚠FPGA プログラム

周辺回路(ボード上の部品も含む)と信号の衝突(同じ信号に 2 つのデバイスから出力する)を起こすような FPGA プログラムを行わないでください。また、FPGA のプログラムを間違わないでください。

⚠電源の投入

本ボードや周辺回路に電源が入っている状態では絶対に FPGA I/O、JTAG 用コネクタの着脱を行わないでください。

⚠静電気

本ボードには CMOS デバイスを使用していますので、ご使用になるまでは帯電防止対策のされている出荷時のパッケージ等にて保管してください。

⚠ラッチアップ

電源および入出力ラインからの過大なノイズやサージ、電源電圧の急激な変動等で、使用している CMOS デバイスがラッチアップを起こす可能性があります。一旦ラッチアップ状態になりますと、電源を切断しないかぎりこの状態が維持されるため、デバイスの破損につながることがあります。ノイズの影響を受けやすい入出力ラインには保護回路を導入する、ノイズ源となる装置と共通の電源を使用しない等の対策をとることをお勧めします。

⚠衝撃、振動

落下や衝突などの強い衝撃を与えたり、強い振動や遠心力を与えないでください。また、振動部、回転部などへの搭載はしないでください。

⚠高温低温、多湿

極度に高温や低温になる環境や湿度が高い環境で使用しないでください。

⚠塵埃

塵埃の多い環境では使用しないでください。

2.4.FPGA 使用に関しての注意事項

- 本製品に含まれる FPGA プロジェクトについて

本製品に含まれる FPGA プロジェクト(付属のドキュメント等も含みます)は、現状のまま(AS IS)提供されるものであり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。また、本製品の使用による結果についてもなんら保証するものではありません。

本製品は、ベンダのツール(Xilinx 製 EDK、ISE やその他ベンダツール)やベンダの IP コアを利用し、FPGA プロジェクトの構築、コンパイル、コンフィギュレーションデータの生成を行っておりますが、これらツールに関しての販売、サポート、保証等は行っておりません。

2.5. ソフトウェア使用に関しての注意事項

- 本製品に含まれるソフトウェアについて

本製品に含まれるソフトウェア(付属のドキュメント等も含みます)は、現状のまま(AS IS)提供されるものであり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。また、本製品の使用による結果についてもなんら保証するものではありません。

3. 作業の前に

3.1. 準備するもの

SZ310-U00 を使用する前に、次のものを準備して下さい。

- **作業用 PC**
  ハードウェア開発用として、Windows2000 または、WindowsXP が動作し、シリアルポート(1 ポート)、及びパラレルポート(1 ポート)を持つ PC を用意してください。
  ソフトウェア開発用として、Linux が動作し、シリアルポート(1 ポート)を持つ PC を用意してください。ソフトウェア開発の詳細については、『SUZAKU ソフトウェアマニュアル』を参照ください。

- **D-Sub9 ピンクロスケーブル**
  D-Sub9 ピン（メスーメス）の「クロス接続用」のケーブルを用意してください。

- **D-Sub9 ピン-10 ピン変換ケーブル**
  D-Sub9 ピンと本ボードのピンヘッダ(10 ピン)を接続するための、D-Sub9 ピン-10 ピン変換ケーブルを用意してください。

- **各種マニュアル及びソースコード**
  SZ310-U00 に関する各種マニュアルやソースコードを準備してください。これらは開発キット付属 CD-ROM（以降付属 CD-ROM）に収録されています。また、SUZAKU 公式サイトのダウンロードページからダウンロードすることもできます。（http://suzaku.atmark-techno.com/downloads/all）

- **シリアル通信用ソフト**
  minicom や Tera Term などのシリアル通信用ソフトが必要です。（Linux 用のソフトは付属 CD-ROM の "¥suzaku¥tools"にあります。）

- **DC3.3V 電源**
  DC3.3V 出力の電源を用意してください。

- **Xilinx ISE***
  Xilinx ISE を用意し、インストールしてください。
  インストール後ソフトウェアアップデートをしてください。

- **Xilinx EDK***
  Xilinx EDK を用意し、インストールしてください。
  インストール後ソフトウェアアップデートをしてください。

- **Xilinx Parallel CableⅢ、Ⅳまたはそれ相当品***
  Parallel CableⅢ、Ⅳまたはそれ相当品を用意してください。

* Xilinx 製品の詳細については、Xilinx のホームページ(http://www.xilinx.co.jp/)をご覧になられるか、Xilinx 代理店にお問い合わせください。

4.概要

4.1.SZ310-U00 の特徴

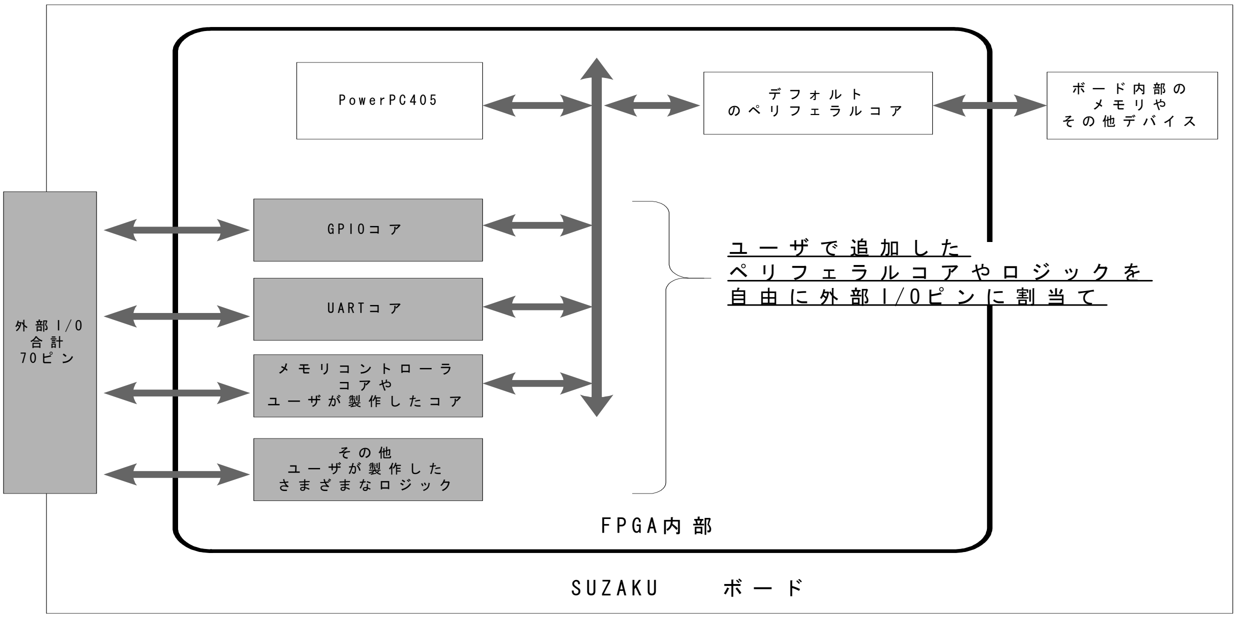
SUZAKU-V (SZ310-U00)は Xilinx の FPGA「Virtex-II Pro」をベースとしたボードコンピュータです。
FPGA 内にハードコアプロセッサ「PowerPC405」と周辺ペリフェラルコアを構成し、オペレーティングシステムとして Linux を採用しています。

- ハードプロセッサと周辺ペリフェラルコアの構築

  PowerPC405 や周辺ペリフェラルコアの構築は、Xilinx 社 EDK(Embedded Development Kit)を使用します。
  EDK は、GUI 環境下で PowerPC405 や周辺ペリフェラルコアの各種設定が行え、その設定情報から自動的にネットリストを生成するツールです。

- カスタマイズ

  FPGA の中は、ユーザによってカスタマイズが可能です。
  また、基板外周にユーザが自由に使える外部 I/O を 70 ピン実装しています。
  例えば、GPIO や UART の数を増やし、外部 I/O ピンに割当てるなどのカスタマイズが簡単に行えます。



＊FPGA のカスタマイズには Xilinx 社の EDK、ISE が必要です。Xilinx 社または、Xilinx 代理店より入手してください。

- LAN

  LAN コントローラ(10Base-T/100Base-Tx)を実装しています。市販の LAN ケーブル(UTP)が接続できます。

- オペレーティングシステム

  Linux を標準のオペレーティングシステムとして採用しておりますので、アプリケーションソフトウェアの開発には GNU のアセンブラやCコンパイラ等を使用することができます。
  また、LAN コントローラデバイスドライバ、各種プロトコルが最初から用意されていますので、簡単にネットワークに接続できます。
  オペレーティングシステムの詳細については、『SUZAKU ソフトウェアマニュアル』を参照ください。

4.2. 仕様

本ボードの主な仕様を表 4-1に示します。

表 4-1 SZ310-U00 仕様

FPGA		Xilinx Virtex-II Pro XC2VP4 FG256
プロセッサ		PowerPC405(ハードコア)
水晶発振器周波数		3.6864MHz(FPGA の内部 DCM により逓倍して使用)
メモリ	BRAM	16Kbyte
	SDRAM	32Mbyte
	フラッシュメモリ	8Mbyte
コンフィギュレーション		フラッシュメモリ上に記憶、コントローラ TE7720
JTAG		2 ポート(FPGA 用、TE7720 用)
Ethernet		10Base-T／100Base-Tx
シリアル		UART 115.2kbps
タイマ		PowerPC 内蔵タイマ
フリーI/O ピン		70 ピン
リセット機能		ソフトウェアリセット
電源		電圧:3.3V±3% 消費電力:1.5W Typ.(プロセッサ動作時)
使用温度範囲		0℃～60℃
基板サイズ		72×47mm

4.3. 全体ブロック図

SZ310-U00 の全体ブロック図を図 4-1に示します。
本構成は、Linux を動作させる最小構成です。

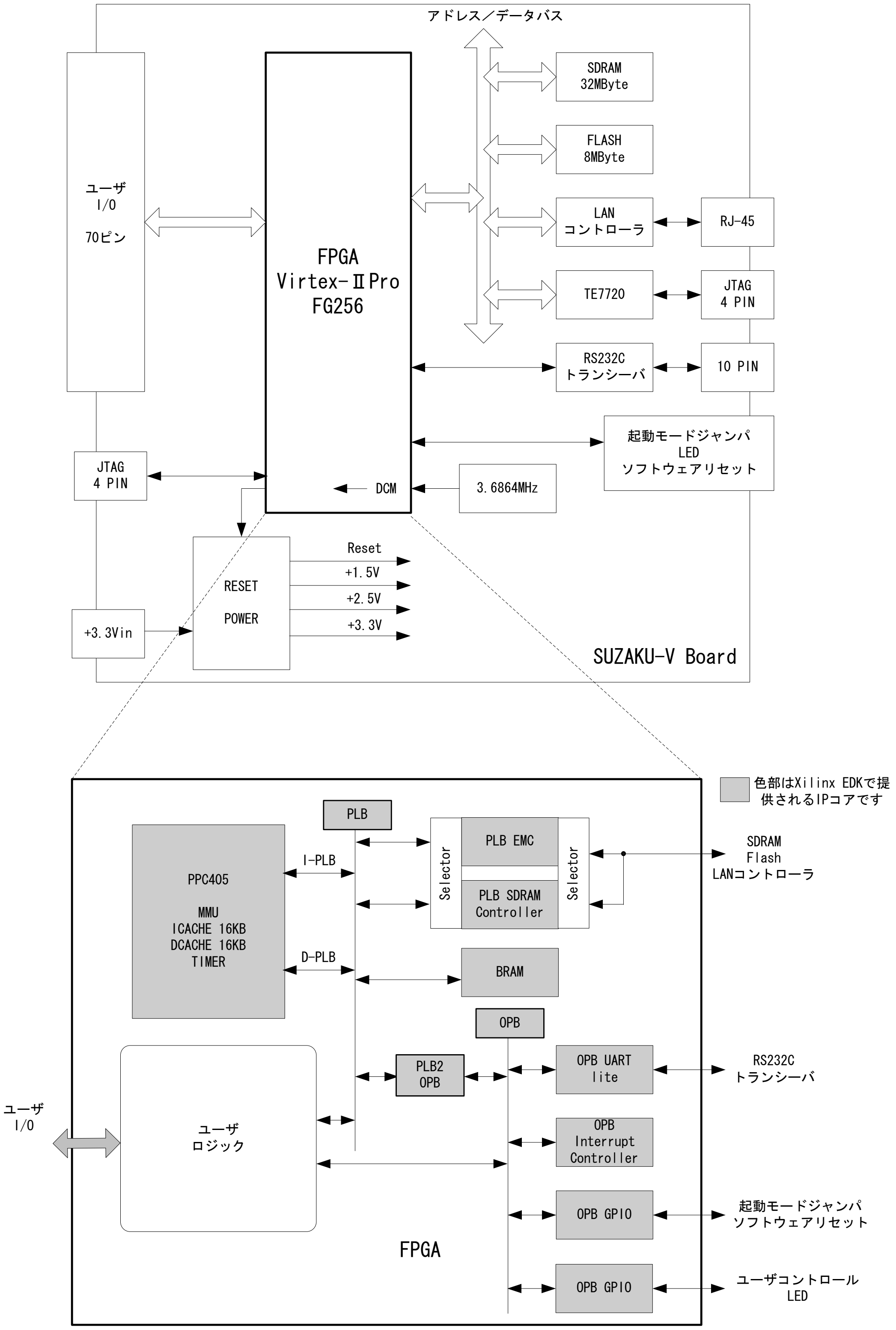


図 4-1 SZ310-U00 ブロック図

4.4. 機能

4.4.1. プロセッサ

FPGA 内部で PowerPC405 を使用しています。PowerPC405 の概要を以下に示します。
・32 ビット RISC プロセッサ
・32 ビット固定長命令
・32 個の汎用 32bit レジスタ
・MMU
・命令キャッシュ(16KB, 2-way)とデータキャッシュ(16KB, 2-way)

4.4.2. バス

3 種類のバスで構成しています。
・FPGA 内部 PLB
　　PowerPC405 と BRAM、PLB SDRAM Controller、PLB EMC をペリフェラル IP コア接続するバス
　　高速アクセス
・FPGA 内部 OPB
　　OPB UART lite、OPB INTC などのペリフェラル IP コアを接続するバス
・FPGA 外部バス
　　PLB EMC 及び、PLB SDRAM を介し、外部メモリデバイスなどを接続するバス

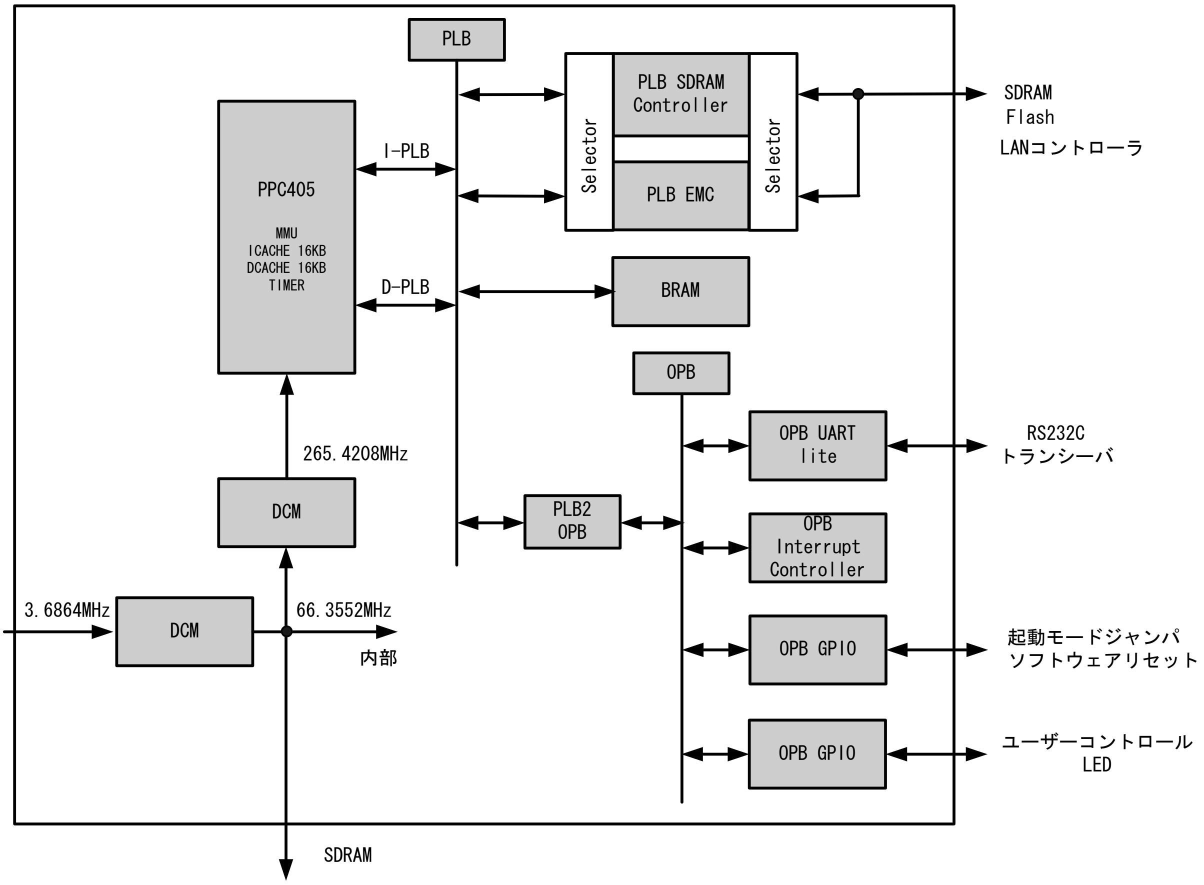


図 4-2 SZ310-U00 バス構成

4.4.3. メモリ

3 種類のメモリで構成しています。
・FPGA 内部 BRAM (デフォルト 16KByte)
　　ブートプログラム用として使用しています。
　　ブート完了後は、ユーザプログラムで使用することもできます。
・FPGA 外部フラッシュメモリ
　　8MByte を実装しています。
　　高機能ブートローダや Linux システム、FPGA コンフィグデータなどのデータ保存に使用しています。
　　PLB EMC と接続しています。
・FPGA 外部 SDRAM 32MByte
　　Linux のメインメモリとして使用しています。
　　PLB SDRAM と接続しています。

4.4.4. 割り込み

OS 用割り込みコントローラに、FPGA 内部で OPB INTC を使用しています。

4.4.5. タイマ

PowerPC405 内のタイマを使用しています。

4.4.6. シリアルコンソール

OS 用シリアルコンソールに、FPGA 内部で OPB UART lite を使用しています。
OPB UART lite は RS232C トランシーバを介し、コネクタ(CON1)に接続しています。
また、RS232C トランシーバは、4 チャンネルタイプのものを使用しており、このうち 2 チャンネルを OS 用シリアルコンソールで使用し、残り 2 チャンネルは未使用となっています。これらの未使用の信号に GPIO やユーザロジックを接続してフロー制御をしたり、別の OPB UART lite を接続して 2 ポート目の UART とすることも可能です。

・シリアルコンソールの設定

転送レート	115.2kbps
データ	8bit
ストップ bit	1bit
フロー制御	なし

4.4.7. LAN

LAN コントローラに、FPGA 外部に SMSC 社の LAN91C111 を実装しています。
LAN91C111 は、PLB EMC を使用し、PLB と接続しています。
また、RJ-45 コネクタを実装しており、市販の LAN ケーブル(UTP)が接続できます。

4.4.8. 外部 I/O

ユーザが自由に使用できる外部 I/O を 70 ピン実装しています(CON2、CON3、CON4、CON5)。
(コネクタは実装されていません)
外部 I/O は、FPGA のフリーI/O ピンと直接接続しています。("7 各種インターフェース仕様"参照)
FPGA の I/O 用電源(VCCO)は、全て内部ロジック用電源+3.3V から供給しています。
I/O 電圧や駆動電流などの規定値については、Virtex-II Pro のデータシートをご参照ください。

内部ロジック用電源+3.3V は、シーケンス回路により立ち上がりに最大 20msec の時間がかかります。
よって外部 I/O と接続するデバイスは、ラッチアップ等を起こさないために、本ボードの内部ロジック用電源+3.3V 出力を使用するか("4.4.15 内部ロジック用電源出力+3.3V"参照)、またはバッファデバイス等が必要になります。

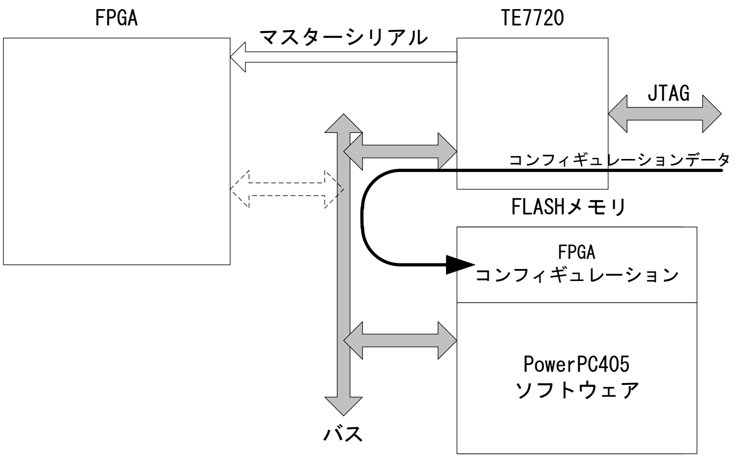
4.4.9. FPGA コンフィギュレーション

FPGA コンフィギュレーション IC に TE7720(東京エレクトロンデバイス製)を実装しています。
TE7720 は、JTAG(CON2)から送られてくるデータをフラッシュメモリにプログラムし、再起動時にフラッシュメモリからデータを読み込み、FPGA をコンフィギュレーションする IC です。("図 4-3"参照)

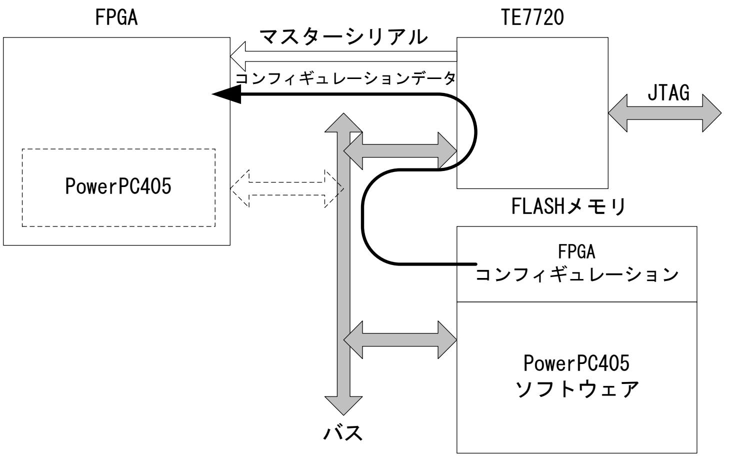
フラッシュメモリの全エリアは、プロセッサからも読み書き可能です。
LAN や RS232C から、Linux システムや FPGA コンフィギュレーションデータを受信し、フラッシュメモリに対して書き込んで、再起動すると全く新しい機能をもったボードとして動作させることができます。
また、SZ310-U00 にはソフトウェアからコントロールできるリセット回路が入っていますので、遠隔地からの再コンフィギュレーションも可能です。

JTAG(CON2)から TE7720 にデータを転送するためのソフトウェア(LBPLAY2.EXE)は、東京エレクトロンデバイスのホームページから無料でダウンロードできます。(付属 CD-ROM にも収録されています)
コンフィギュレーションの方法については『SUZAKU スターターキットガイド(FPGA 開発編)』をご参照ください。

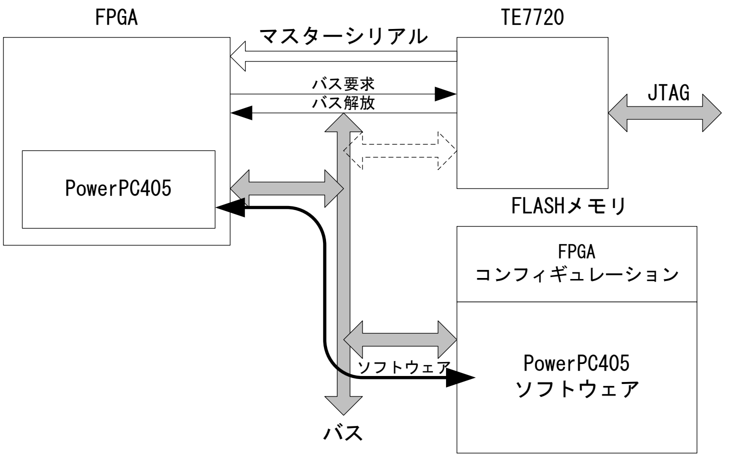
FPGA に間違ったデータをプログラムしたり、またプログラム中に何かの原因で、エラーを起こした場合は SZ310-U00 を動作させないでください。FPGA 外部回路部品(ボード上の部品も含む)と信号の衝突や異常動作により発熱、劣化、破損する可能性がありますので、一度電源を切断し、〝JP2〟をショートし、再プログラミングを行ってください。
SZ310-U00 は、電源再投入時〝JP2〟をショートすると、FPGA に対しコンフィギュレーションを停止させることができ、その間にプログラムすることができます。



JTAGからTE7720経由でFLASHメモリに書き込み



電源投入時FLASHメモリからTE7720経由でFPGAをコンフィギュレーション



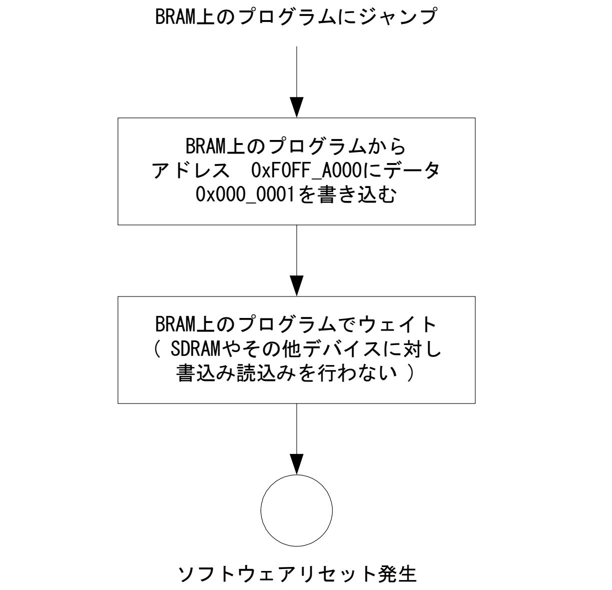
FPGAのコンフィギュレーション完了後、PowerPC405がFLASHメモリを使用

図 4-3 FPGA コンフィギュレーション

4.4.10. ソフトウェアリセット機能

ソフトウェアリセットを実行すると、フラッシュメモリからコンフィギュレーションデータの再読み込み及び、FPGA のコンフィギュレーションを実行、各デバイス IC へリセットを出力します。

ソフトウェアリセットは、Linux の reboot コマンドを使用するか、または、BRAM 上のプログラムから、直接アドレス 0xF0FF_A000 にデータ 0x0000_0001 を書き込むことにより実行できます。BRAM 上のプログラムから直接ソフトウェアリセットを実行する場合は、SDRAM やその他デバイスに対し書込み読込み（プログラムの実行を含む）を行わないでください。



BRAM上のプログラムから直接ソフトウェアリセットを実行する場合

4.4.11. JTAG

JTAG には、以下の 2 種類があります。

・FPGA プログラム用 JTAG コネクタ(CON2)

FPGA のコンフィギュレーションデータをフラッシュメモリにプログラムする時に使用する JTAG コネクタです。(コネクタは実装されていません)

本コネクタに Xilinx 製 Parallel Cable 等の JTAG ケーブルを接続し、専用のソフト(LBPLAY2.EXE)を使用してプログラムを行います。

本 JTAG の I/O 電圧は+3.3V です。+3.3V に対応した JTAG ケーブルをご使用ください。

また、TMS、TDI、TCK は、本ボード内で 4.7kΩを介し+3.3V にプルアップされています。

・FPGA 用 JTAG コネクタ(CON7)

FPGA 用 JTAG コネクタです。(コネクタは実装されていません)

FPGA の JTAG ピンと直接接続されています。

本 JTAG の I/O 電圧は+2.5V です。+2.5V に対応した JTAG ケーブルをご使用ください。

また、本ボード内で TMS、TDI、TCK は 4.7kΩ、TDO は 200Ωを介し+2.5V にプルアップされています。

4.4.12. 設定用ジャンパ

設定用ジャンパには、以下の 2 種類があります。
・起動モードジャンパ（JP1）
起動モードを切り替えるジャンパです。
オープンでオートブートします。
ショートでブートローダモードになります。
（起動モードについての詳細は『SUZAKU ソフトウェアマニュアル』を参照ください）

・FPGA プログラム用ジャンパ(JP2 , FPGA の P14(INIT-B)と接続しています)
FPGA プログラム用 JTAG からコンフィギュレーションデータをフラッシュメモリにプログラムする時に使用するジャンパです。(JP2 は, FPGA の P14(INIT-B) と CON3 の 14 ピンと接続しています)
オープンでノーマルブートします。
ショートで FPGA コンフィギュレーションデータをフラッシュメモリにプログラムできます。
(電源再投入時、本ジャンパをショートすると、FPGA に対しコンフィギュレーションを停止させることができ、その時にフラッシュメモリにプログラムできます)

4.4.13. LED

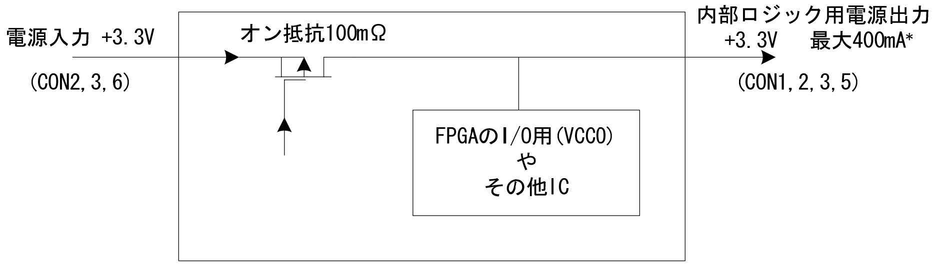
LED には、以下の 2 種類があります。
・パワーオン LED　緑（D3）
本ボードに 3.3V が供給されると点灯します。
・ユーザコントロール LED　赤（D1）
ユーザコントロール可能な LED です。
˝LO.˝レベルで点灯します。
FPGA の A9 ピンと接続しています。

4.4.14. 電源入力+3.3V

CON2、CON3 及び CON6 の˝ 電源入力+3.3V˝から、本ボードへの電源供給が可能です。
+3.3V は、精度±3%で、単調増加としてください。
極度に短い間隔でのオン/オフ繰り返しは行わないでください。
入力には積層セラミックコンデンサ 22μF を実装しています。

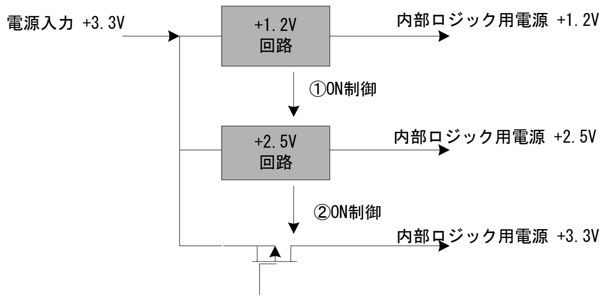
4.4.15. 内部ロジック用電源出力+3.3V

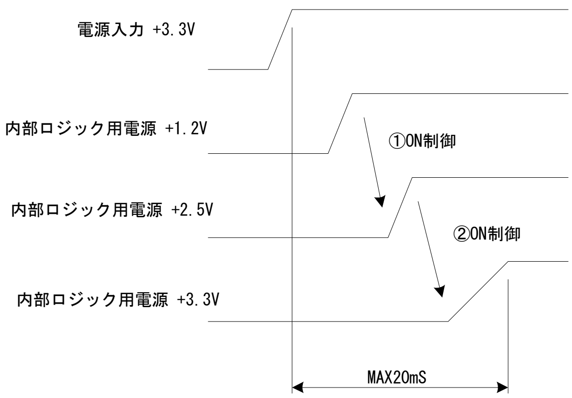
内部ロジック用電源+3.3V は、FPGA の I/O 用(VCCO)やその他 IC に供給している電源です。
CON1、CON2、CON3、CON5 から、外部のデバイスに合計最大 400mA*の電源供給が可能です。
ただし、外部のデバイスの負荷変動が大きい場合、電源入力+3.3V の応答によっては、電圧変動が発生することがあります。



4.4.16. 内部電源シーケンス

内部電源は、以下のようなシーケンスで立ち上がります。





* 外部 I/O から信号を出力する場合は、「合計最大電流 = 400mA − 外部 I/O 信号の出力電流」となります。

5. メモリマップ

5.1. SZ310-U00 メモリマップ

本ボードのメモリマップは次の通りです。
本構成は、Linux を動作させる最小構成です。

表 5-1 SZ310-U00 メモリマップ

Start Address	End Address	ペリフェラル	デバイス
0x0000 0000	0x01FF FFFF	PLB-SDRAM Controller	SDRAM 32MByte
0x0200 0000	0xEFFF FFFF	Free	
0xF000 0000	0xF07F FFFF	PLB-EMC	フラッシュメモリ 8MByte
0xF080 0000	0xF0DF FFFF	Free	
0xF0E0 0000	0xF0EF FFFF	PLB-EMC	LAN コントローラ
0xF0F0 0000	0xF0FF 1FFF	Free	
0xF0FF 2000	0xF0FF 20FF	OPB-UART lite	RS232C
0xF0FF 2100	0xF0FF 2FFF	Free	
0xF0FF 3000	0xF0FF 30FF	OPB-Interrupt Controller	
0xF0FF 3100	0xF0FF 9FFF	Free	
0xF0FF A000	0xF0FF A1FF	OPB-GPIO	ブートモードジャンパ ソフトウェアリセット
0xF0FF A200	0xF0FF A3FF	OPB-GPIO	ユーザコントロール LED
0xF0FF A400	0xFFFF BFFF	Free	
0xFFFF C000	0xFFFF FFFF	BRAM	BRAM 16KByte

表 5-2 フラッシュメモリ 8MByte 内のメモリマップ(0xF000 0000～0xF07F FFFF)

Start Address	End Address	ペリフェラル
0xF000 0000	0xF007 FFFF	Free
0xF008 0000	0xF00F FFFF	FPGA コンフィギュレーションデータ
0xF010 0000	0xF011 FFFF	Hermit ブートローダバイナリイメージ
0xF012 0000	0xF07E FFFF	Linux バイナリイメージ
0xF07F 0000	0xF07F FFFF	Linux コンフィグデータ

6.FPGA ピンアサイン

FPGA (Xilinx Virtex-II Pro XC2VP4 FG256) の全ピンアサインを示します。

表 6-1 FPGA ピンアサイン 外部 I/O 関連(1/3)

番号	バンク	信号名	I/O	用途	接続先
E14	2	L01N_2/VRP_2	I/O	外部 I/O	CON2 (7項参照)
E15	2	L01P_2/VRN_2	I/O	〃	〃
E13	2	L02N_2	I/O	〃	〃
F12	2	L02P_2	I/O	〃	〃
F13	2	L03N_2	I/O	〃	〃
F14	2	L03P_2	I/O	〃	〃
F15	2	L04N_2/VREF_2	I/O	〃	〃
F16	2	L04P_2	I/O	〃	〃
G13	2	L06N_2	I/O	〃	〃
G14	2	L06P_2	I/O	〃	〃
G15	2	L85N_2	I/O	〃	〃
G16	2	L85P_2	I/O	〃	〃
G12	2	L86N_2	I/O	〃	〃
H13	2	L86P_2	I/O	〃	〃
H14	2	L88N_2/VREF_2	I/O	〃	〃
H15	2	L88P_2	I/O	〃	〃
H16	2	L90N_2	I/O	〃	〃
J16	2	L90P_2	I/O	〃	〃
J15	3	L90N_3	I/O	〃	〃
J14	3	L90P_3	I/O	〃	〃
J13	3	L89N_3	I/O	〃	〃
K12	3	L89P_3	I/O	〃	〃
K16	3	L87N_3/VREF_3	I/O	〃	〃
K15	3	L87P_3	I/O	〃	〃
K14	3	L85N_3	I/O	〃	〃
K13	3	L85P_3	I/O	〃	〃
L16	3	L06N_3	I/O	〃	〃
L15	3	L06P_3	I/O	〃	〃
L14	3	L05N_3	I/O	〃	〃
L13	3	L05P_3	I/O	〃	〃
L12	3	L03N_3/VREF_3	I/O	〃	CON3 (7項参照)
M13	3	L03P_3	I/O	〃	〃
M16	3	L02N_3	I/O	〃	〃
N16	3	L02P_3	I/O	〃	〃
M15	3	L01N_3/VRP_3	I/O	〃	〃
M14	3	L01P_3/VRN_3	I/O	〃	〃

表 6-2 FPGA ピンアサイン 外部 I/O 関連(2/3)

番号	バンク	信号名	I/O	機能	接続先
P15	4	L01N_4/BUSY/DOUT 1	I/O	外部 I/O	CON3 (7項参照)
P14	4	L01P_4/INIT_B	I/O	〃	CON3 (7項参照) JP2 コンフィギュレーションピン兼用
R14	4	L02N_4/D0/DIN1	I/O	〃	CON3 (7項参照) コンフィギュレーションピン兼用
P13	4	L02P_4/D1	I/O	〃	CON3 (7項参照)
T15	4	L03N_4/D2	I/O	〃	〃
T14	4	L03P_4/D3	I/O	〃	〃
N12	4	L06N_4/VRP_4	I/O	〃	〃
P12	4	L06P_4/VRN_4	I/O	〃	〃
N11	4	L07P_4/VREF_4	I/O	〃	〃
M11	4	L09N_4	I/O	〃	〃
M10	4	L09P_4/VREF_4	I/O	〃	CON3 (7項参照) CON5 (7項参照)
N10	4	L69N_4	I/O	〃	〃
P10	4	L69P_4/VREF_4	I/O	〃	〃
N9	4	L74N_4/GCLK3S	I/O	〃	CON3 (7項参照)
P9	4	L74P_4/GCLK2P	I/O	〃	〃
R9	4	L75N_4/GCLK1S	I/O	〃	〃
T9	4	L75P_4/GCLK0P	I/O	〃	〃
T8	5	L75N_5/GCLK7S	I/O	〃	CON3 (7項参照) CON5 (7項参照)
R8	5	L75P_5/GCLK6P	I/O	〃	〃
P8	5	L74N_5/GCLK5S	I/O	〃	〃
N8	5	L74P_5/GCLK4P	I/O	〃	CON3 (7項参照) CON4 (7項参照)
P7	5	L69N_5/VREF_5	I/O	〃	〃
N7	5	L69P_5	I/O	〃	〃
M7	5	L09N_5/VREF_5	I/O	〃	〃
M6	5	L09P_5	I/O	〃	〃
N6	5	L07N_5/VREF_5	I/O	〃	〃
P5	5	L06N_5/VRP_5	I/O	〃	〃
N5	5	L06P_5/VRN_5	I/O	〃	〃
T3	5	L03N_5/D4	I/O	〃	〃
T2	5	L03P_5/D5	I/O	〃	〃
P4	5	L02N_5/D6	I/O	〃	CON4 (7項参照)
R3	5	L02P_5/D7	I/O	〃	〃
P3	5	L01N_5/RDWR_B	I/O	〃	〃
P2	5	L01P_5/CS_B	I/O	〃	〃

表 6-3 FPGA ピンアサイン 内部デバイス関連(1/2)

番号	バンク	信号名	I/O	機能	接続先
J2	6	LA(22)	O	FPGA 外部アドレスバス	SDRAM、フラッシュメモリ、LAN コントローラ
J3	6	LA(21)	O	〃	〃
J4	6	LA(20)	O	〃	〃
K5	6	LA(19)	O	〃	〃
K1	6	LA(18)	O	〃	〃
K2	6	LA(17)	O	〃	〃
K3	6	LA(16)	O	〃	〃
K4	6	LA(15)	O	〃	〃
L1	6	LA(14)	O	〃	〃
L2	6	LA(13)	O	〃	〃
L3	6	LA(12)	O	〃	〃
L4	6	LA(11)	O	〃	〃
L5	6	LA(10)		〃	〃
M4	6	LA(10)_RAM	O	〃	〃 (SDRAM 用)
M1	6	LA(9)	O	〃	〃
N1	6	LA(8)	O	〃	〃
M2	6	LA(7)	O	〃	〃
M3	6	LA(6)	O	〃	〃
E3	7	LA(5)	O	〃	〃
E2	7	LA(4)	O	〃	〃
E4	7	LA(3)	O	〃	〃
F5	7	LA(2)	O	〃	〃
F4	7	LA(1)	O	〃	〃
F3	7	LA(0)	O	〃	〃
F2	7	LD(15)	I/O	FPGA 外部データバス	SDRAM、フラッシュメモリ、LAN コントローラ
F1	7	LD(14)	I/O	〃	〃
G4	7	LD(13)	I/O	〃	〃
G3	7	LD(12)	I/O	〃	〃
G2	7	LD(11)	I/O	〃	〃
G1	7	LD(10)	I/O	〃	〃
G5	7	LD(9)	I/O	〃	〃
H4	7	LD(8)	I/O	〃	〃
H3	7	LD(7)	I/O	〃	〃
H2	7	LD(6)	I/O	〃	〃
H1	7	LD(5)	I/O	〃	〃
J1	7	LD(4)	I/O	〃	〃
A8	0	SYS_RST_IN	I	システムリセット入力	リセット回路

表 6-4 FPGA ピンアサイン 内部デバイス関連(2/2)

番号	バンク	信号名	I/O	機能	接続先
B8	0	BOOTMODE	I	ブートモード検出	JP1 (7項参照)
C8	0	SYS_CLK_IN	I	システムクロック入力	発振器 3.6864MHz
D8	0	RAM_CLK	I	SDRAM のクロック DCM フィードバック用入力	SDRAM
C7	0	SYS_CLK_OUT	O	SDRAM へのクロック出力	SDRAM
D7	0	LD(3)	I/O	FPGA 外部データバス	SDRAM、フラッシュメモリ、LAN コントローラ
E7	0	LD(2)	I/O	〃	〃
E6	0	LD(1)	I/O	〃	〃
D6	0	LD(0)	I/O	〃	〃
C5	0	FLASH_CE*	O	フラッシュメモリ CE	フラッシュメモリ
D5	0	FLASH_OE*	O	フラッシュメモリ OE	〃
A3	0	FLASH_WE*	O	フラッシュメモリ WE	〃
A2	0	MAC_BE1*	O	LAN コントローラ BE1	LAN コントローラ
C4	0	MAC_BE0*	O	LAN コントローラ BE0	〃
B3	0	MAC_RD*	O	LAN コントローラ RD	〃
C3	0	MAC_WR*	O	LAN コントローラ WR	〃
C2	0	MAC_INTR	I	LAN コントローラ INTR	〃
C15	1	BUS_REQ	O	バスリクエスト	TE7720
C14	1	BUS_REL	I	バス獲得	TE7720
B14	1	RAM_CS*	O	SDRAM CS	SDRAM
C13	1	RAM_RAS*	O	SDRAM RAS	〃
A15	1	RAM_CAS*	O	SDRAM CAS	〃
A14	1	RAM_WE*	O	SDRAM WE	〃
D12	1	RAM_CKE	O	SDRAM CKE	〃
C12	1	RAM_UQDM	O	SDRAM UQDM	〃
D11	1	RAM_LQDM	O	SDRAM LQDM	〃
E11	1	RAM_BS(1)	O	SDRAM BS	〃
E10	1	RAM_BS(0)	O	SDRAM BS	〃
D10	1	CNSL_CTS*	I	コンソール CTS	RS232C トランシーバ =>CON1 (7項参照)
C10	1	CNSL_RXD	I	コンソール RXD	〃
D9	1	CNSL_RTS	O	コンソール RTS	〃
C9	1	CNSL_TXD	O	コンソール TXD	〃
B9	1	FPGA_RESET_EN	O	自己リセット出力	リセット回路
A9	1	LED*	O	ユーザコントロール LED	D1 (7項参照)

PowePC405はバスアーキテクチャとしてIBMのCoreConnectを採用しています。CoreConnectのバスおよびレジスタビットの命名規則でMSB側がビット(0)に定義されています。よって、LA(0 to 22)、LD(0 to 15)、RAM_BS(0 to 1)のVHDLバス記述は、MSB側がビット(0)となっています。

このため、通常の外部デバイスと比べ、ビットラベルが逆になります。(LSB側がビット(0)に定義されている)
上記表は通常の外部デバイスに接続するときのビットラベル(LSB 側がビット(0))で表記しています。

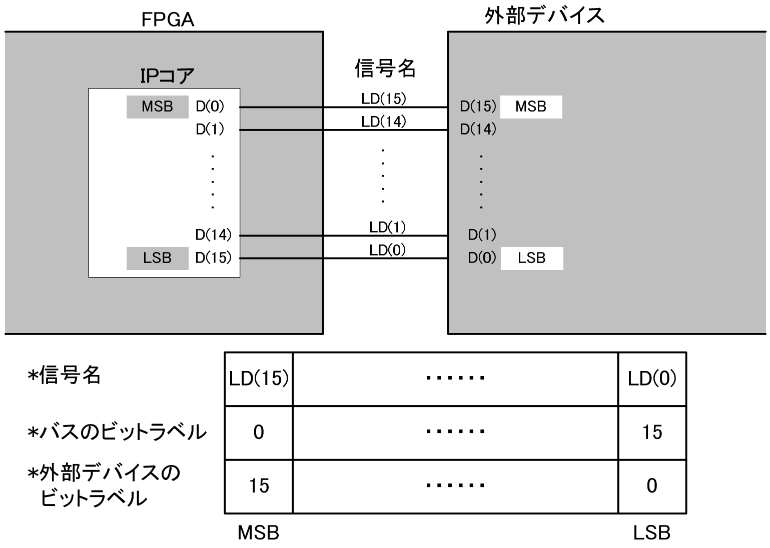


図 6-1 CoreConnect のビットラベルと信号名

表 6-5 FPGA ピンアサイン JTAG、コンフィギュレーション関連

番号	バンク	信号名	I/O	機能	接続先
D16		TCK	I	JTAG	CON7 (7項参照)
E1		TDI	I	JTAG	〃
E16		TDO	O	JTAG	〃
C16		TMS	I	JTAG	〃
N15		CFG_CLK	O	コンフィギュレーション CLK	TE7720
D1		PROG_B	I	コンフィギュレーション PROG_B	リセット回路
P16		CFG_DONE	O	コンフィギュレーション DONE	TE7720
C1		HSWAP_EN		オープン	
N3		M0	I	コンフィギュレーションモード	グランド
N2		M1	I	コンフィギュレーションモード	グランド
P1		M2	I	コンフィギュレーションモード	グランド

7.各種インターフェース仕様

7.1.各種インターフェースの配置

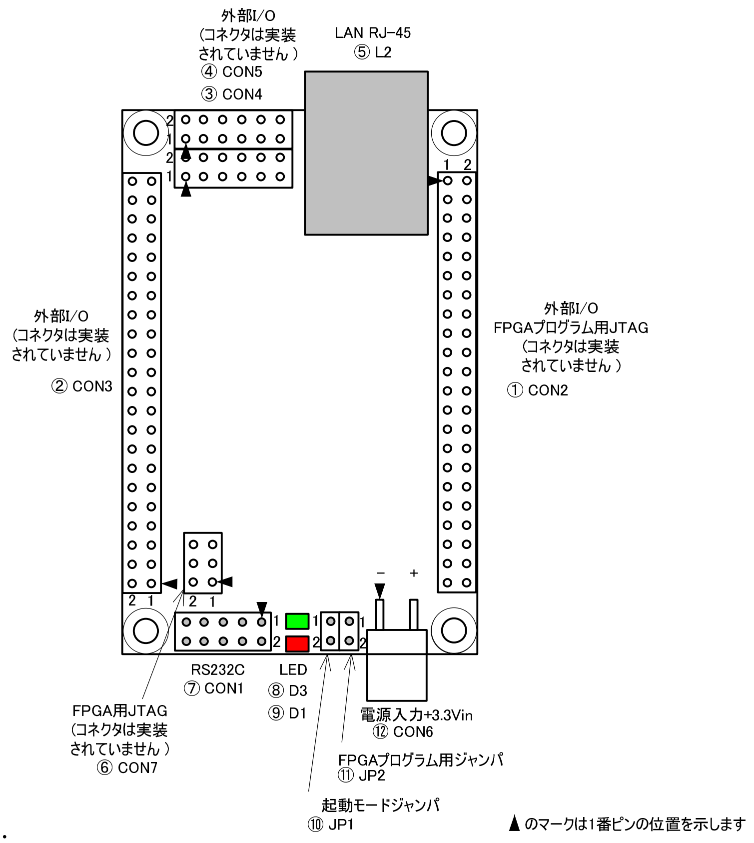


図 7-1 各種インターフェースの配置

表 7-1 各種インターフェースの内容

	部 品 番 号	説 明
①	CON2	外部 I/O 、FPGA プログラム用 JTAG コネクタ　 Total I/Os 32PIN*
②	CON3	外部 I/O コネクタ Total I/Os 34PIN(一部ピンは CON4 または 5 と同じ信号です)*
③	CON4	外部 I/O コネクタ Total I/Os 10PIN(一部ピンは CON3 と同じ信号です)*
④	CON5	外部 I/O コネクタ Total I/Os 10PIN(一部ピンは CON3 と同じ信号です)*
⑤	L2	Ethernet 10/100 Base-T コネクタ
⑥	CON7	FPGA JTAG コネクタ
⑦	CON1	RS232C コネクタ
⑧	D3	パワーオン LED　緑
⑨	D1	ユーザコントロール LED 赤
⑩	JP1	起動モードジャンパ
⑪	JP2	FPGA プログラム用ジャンパ
⑫	CON6	電源入力+3.3V コネクタ

* 外部 I/O ピンは FPGA と直結されているため、コンフィギュレーション中はハイインピーダンス状態となります。コンフィギュレーション後は設定値により任意の状態となります。

7.2.CON2　外部 I/O、FPGA プログラム用 JTAG コネクタ

外部 I/O 及び FPGA プログラム用 JTAG コネクタです。(コネクタは実装されていません)

表 7-2 CON2　外部 I/O、FPGA プログラム用コネクタ

番号	信号名	I/O	機　　能	
1	GND		グランド	
2	+3.3VOUT	O	内部ロジック用電源出力 +3.3V	
3	CFG_TCK	I	FPGA プログラム用 JTAG	TCK
4	CFG_TDI	I	〃	TDI
5	CFG_TDO	O	〃	TDO
6	CFG_TMS	I	〃	TMS
7	01N_2/VRP_2	I/O	外部 I/O Virtex-II Pro 接続ピン番号	E14
8	01P_2/VRN_2	I/O	〃	E15
9	02N_2	I/O	〃	E13
10	02P_2	I/O	〃	F12
11	03N_2	I/O	〃	F13
12	03P_2	I/O	〃	F14
13	04N_2/VREF_2	I/O	〃	F15
14	04P_2	I/O	〃	F16
15	06N_2	I/O	〃	G13
16	06P_2	I/O	〃	G14
17	85N_2	I/O	〃	G15
18	85P_2	I/O	〃	G16
19	GND		グランド	
20	74N_4/GCLK3S	I/O	外部 I/O Virtex-II Pro 接続ピン番号	N9
21	GND		グランド	
22	74P_4/GCLK2P	I/O	外部 I/O Virtex-II Pro 接続ピン番号	P9
23	86N_2	I/O	〃	G12
24	86P_2	I/O	〃	H13
25	88N_2/VREF_2	I/O	〃	H14
26	88P_2	I/O	〃	H15
27	90N_2	I/O	〃	H16
28	90P_2	I/O	〃	J16
29	90N_3	I/O	〃	J15
30	90P_3	I/O	〃	J14
31	89N_3	I/O	〃	J13
32	89P_3	I/O	〃	K12
33	87N_3/VREF_3	I/O	〃	K16
34	87P_3	I/O	〃	K15
35	85N_3	I/O	〃	K14
36	85P_3	I/O	〃	K13
37	06N_3	I/O	〃	L16
38	06P_3	I/O	〃	L15
39	05N_3	I/O	〃	L14
40	05P_3	I/O	〃	L13
41	GND		グランド	
42	GND		グランド	
43	+3.3VIN	I	電源入力 +3.3V	
44	+3.3VIN	I	電源入力 +3.3V	

7.3. CON3　外部 I/O コネクタ

外部 I/O 及び TE7720 用 JTAG コネクタです。(コネクタは実装されていません)

表 7-3 CON3　外部 I/O コネクタ

番号	信号名	I/O	機　　能
1	+3.3VIN	I	電源入力 +3.3V
2	+3.3VIN	I	電源入力 +3.3V
3	GND		グランド
4	GND		グランド
5	03N_3/VREF_3	I/O	外部 I/O Virtex-II Pro 接続ピン番号　L12
6	03P_3	I/O	〃　M13
7	02N_3	I/O	〃　M16
8	02P_3	I/O	〃　N16
9	01N_3/VRP_3	I/O	〃　M15
10	01P_3/VRN_3	I/O	〃　M14
11	01N_4/BUSY/D1	I/O	〃　P15
12	02P_4/D1	I/O	〃　P13
13	02N_4/D0/DIN	I/O	〃　R14　注意.1
14	01NP_4/INIT_B	I/O	〃　P14　注意.2
15	03N_4/D2	I/O	〃　T15
16	03P_4/D3	I/O	〃　T14
17	06N_4/VRP_4	I/O	〃　N12
18	06P_4/VRN_4	I/O	〃　P12
19	07P_4/VREF_4	I/O	〃　N11
20	09N_4	I/O	〃　M11
21	09P_4/VREF_4	I/O	〃　M10　注意.3
22	69N_4	I/O	〃　N10　注意.3
23	75N_4/GCLK1S	I/O	〃　R9
24	GND		グランド
25	75P_4/GCLK0P	I/O	外部 I/O Virtex-II Pro 接続ピン番号　T9
26	GND		グランド
27	69P_4/VREF_4	I/O	外部 I/O Virtex-II Pro 接続ピン番号　P10　注意.3
28	75N_5/GCLK7S	I/O	〃　T8　注意.3
29	75P_5/GCLK6P	I/O	〃　R8　注意.3
30	74N_5/GCLK5S	I/O	〃　P8　注意.3
31	74P_5/GCLK4P	I/O	〃　N8　注意.4
32	69N_5/VREF_5	I/O	〃　P7　注意.4
33	69P_5	I/O	〃　N7　注意.4
34	09N_5/VREF_5	I/O	〃　M7　注意.4
35	09P_5	I/O	〃　M6　注意.4
36	07N_5/VREF_5	I/O	〃　N6　注意.4
37	06N_5/VRP_5	I/O	〃　P5　注意.4
38	06P_5/VRN_5	I/O	〃　N5　注意.4
39	03N_5/D4	I/O	〃　T3　注意.4
40	03P_5/D5	I/O	〃　T2　注意.4
41			空き
42	EXRESET*		未接続　注意．必ず未接続とし、信号を入力しないでください。
43	+3.3VOUT	O	内部ロジック用電源出力 +3.3V
44	GND		グランド

7.4. CON4　外部 I/O コネクタ

外部 I/O コネクタです。(コネクタは実装されていません)

表 7-4 CON4　外部 I/O コネクタ

番号	信号名	I/O	機　　能		
1			空き		
2			空き		
3	74P_5/GCLK4P	I/O	外部 I/O Virtex-II Pro 接続ピン番号	N8	注意.4
4	69N_5/VREF_5	I/O		P7	注意.4
5	69P_5	I/O		N7	注意.4
6	09N_5/VREF_5	I/O		M7	注意.4
7	09P_5	I/O		M6	注意.4
8	07N_5/VREF_5	I/O		N6	注意.4
9	06N_5/VRP_5	I/O		P5	注意.4
10	06P_5/VRN_5	I/O		N5	注意.4
11	03N_5/D4	I/O		T3	注意.4
12	03P_5/D5	I/O		T2	注意.4

7.5. CON5　外部 I/O コネクタ

外部 I/O コネクタです。(コネクタは実装されていません)

表 7-5 CON5　外部 I/O コネクタ

番号	信号名	I/O	機　　能		
1	GND		グランド		
2	+3.3VOUT	O	内部ロジック用電源出力 +3.3V		
3	02N_5/D6	I/O	外部 I/O Virtex-II Pro 接続ピン番号	P4	
4	02P_5/D7	I/O		R3	
5	01N_5/RDWR_B	I/O		P3	
6	01P_5/CS_B	I/O		P2	
7	09P_4/VREF_4	I/O		M10	注意.3
8	69N_4	I/O		N10	注意.3
9	69P_4/VREF_4	I/O		P10	注意.3
10	75N_5/GCLK7S	I/O		T8	注意.3
11	75P_5/GCLK6P	I/O		R8	注意.3
12	74N_5/GCLK5S	I/O		P8	注意.3

注意

1.CON3 の 13 ピン(信号名 02N_4/D0/DIN)は、FPGA コンフィギュレーションピンと兼用しているため、FPGA との間に、330Ω の抵抗が直列に入っています。

2.CON3 の 14 ピン(信号名 01NP_4/INIT_B)は、FPGA コンフィギュレーションピンと兼用しています。

3.CON3 の 21,22 ピン、27～30 ピンと CON5 の 7～12 ピンは、同じ信号を配線しています。

4.CON3 の 31～40 ピンと CON4の 3～12 ピンは、同じ信号を配線しています。

7.6. CON7　FPGA JTAG コネクタ

FPGA 用 JTAG コネクタです。(コネクタは実装されていません)。
本 JTAG の I/O 電圧は+2.5V です。+2.5V に対応した JTAG ケーブルをご使用ください。

表 7-6 CON7　Virtex-II Pro 用 JTAG コネクタ

番号	信号名	I/O	機　能
1	GND		グランド
2	+2.5VOUT	O	内部ロジック用電源出力 +2.5V
3	TCK	I	JTAG
4	TDI	I	JTAG
5	TDO	O	JTAG
6	TMS	I	JTAG

7.7. CON1　RS232C コネクタ

RS232C コネクタです。レベルバッファを介して FPGA と接続されています。
ボード側で使用しているコネクタ型式/メーカは、A1-10PA-2.54DSA/ヒロセ(相当品)です。

- シリアルコンソールの設定
- 転送レート　115.2kbps
- データ　8bit
- ストップ bit　1bit
- フロー制御　なし

表 7-7 CON1　RS232C コネクタ

番号	信号名	I/O	機　能	
1			空き	
2			空き	
3	RXD	I	Virtex-II Pro 接続ピン番号	C10 (シリアルコンソール用)
4	RTS	O	〃	D9
5	TXD	O	〃	C9 (シリアルコンソール用)
6	CTS	I	〃	D10
7			空き	
8			空き	
9	GND		グランド	
10	+3.3VOUT	O	内部ロジック用電源出力 +3.3V	

7.8. JP1　起動モードジャンパ

起動モードを切り替えるジャンパです。
オープンでオートブートします。
ショートでブートローダモードになります。
FPGA と接続されています。
(起動モードについての詳細は『SUZAKU ソフトウェアマニュアル』を参照してください)

表 7-8 JP1　起動モード ジャンパ

番号	信号名	I/O	機　　能
1	DLOAD		オープン ： オートブート ショート ： ブートローダモード Virtex-II Pro 接続ピン番号　B8
2	GND		グランド

7.9. JP2　FPGA プログラム用ジャンパ

FPGA プログラム用 JTAG からコンフィギュレーションデータをフラッシュメモリにプログラムする時に使用するジャンパです。

表 7-9 JP2　FPGA プログラム用ジャンパ

番号	信号名	I/O	機　　能
1	TE77PRG		オープン ： ノーマルブート ショート ： コンフィギュレーションデータプログラム
2	GND		グランド

7.10. D3 パワーオン LED

本ボードに 3.3V が供給されると点灯(緑色)します。

7.11. D1 ユーザコントロール LED

ユーザコントロール可能な LED です。" LO. "レベルで点灯(赤)します。
FPGA と接続されています。

表 7-10 D1 ユーザコントロール LED

番号	信号名	I/O	機　　能	
1	LED0	O	LO.レベル ： 点灯 HI.レベル ： 消灯 Virtex-II Pro 接続ピン番号	 A9

7.12. CON6 電源入力+3.3V コネクタ

電源入力コネクタです。電源入力+3.3V は、+3.3V±3%で、単調増加としてください。
CON2、CON3 の"電源入力+3.3V"とボード内部で接続されています。
ボード側で使用しているコネクタ型式/メーカは、B2PS-VH/日本圧着端子(相当品)です。
ケーブル側のコネクタ型式/メーカは、
ハウジング VHR-2N/日本圧着端子(相当品)、
コンタクト BVH-21T-P1.1/日本圧着端子(相当品)または、BVH-41T-P1.1/日本圧着端子(相当品)
が使用できます。

表 7-11 CON6 電源入力+3.3V コネクタ

番号	信号名	I/O	機　　能
1	GND		グランド
2	+3.3VIN	I	電源入力 +3.3V

7.13. Ethernet 10/100 Base-T

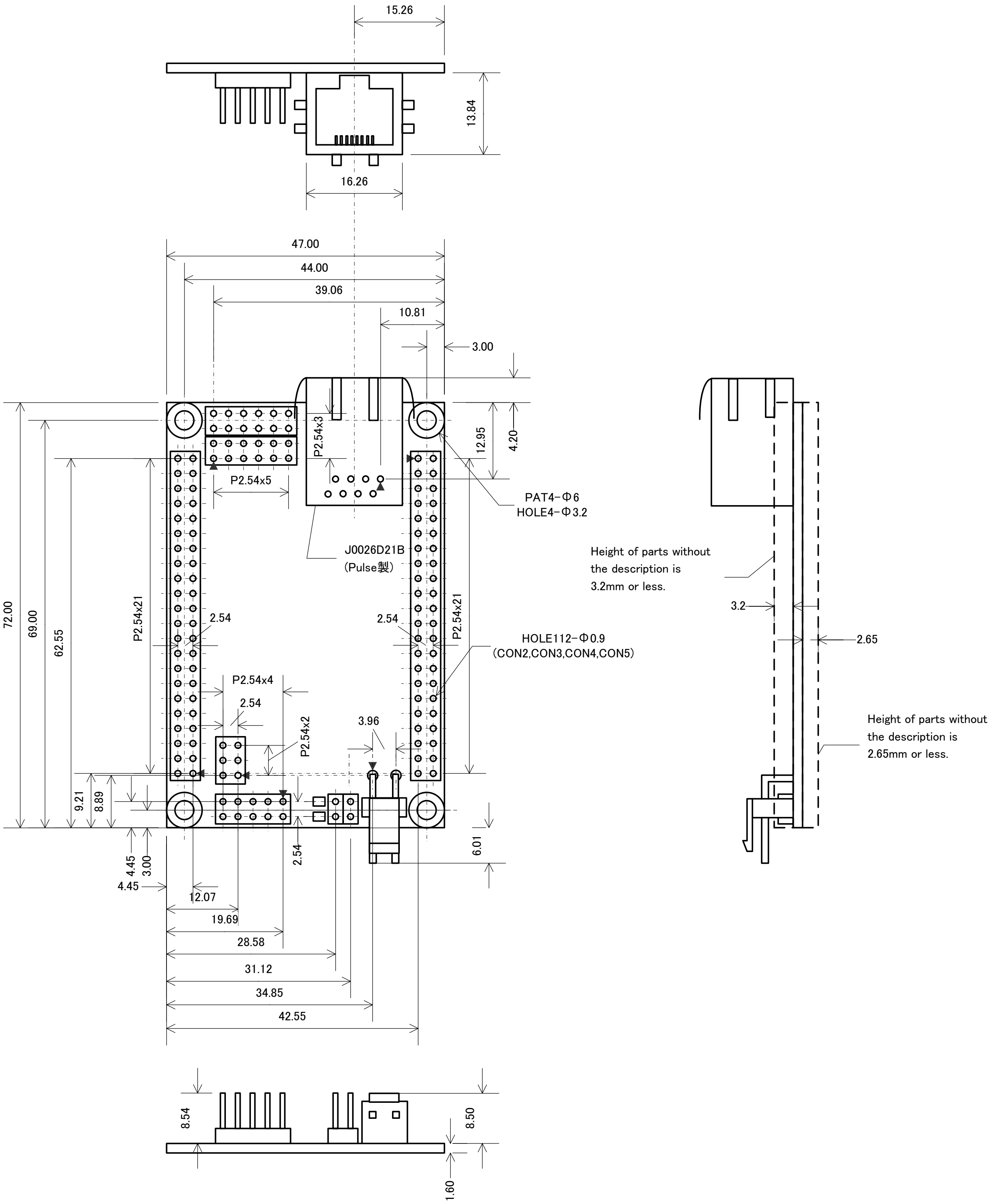
ボード側で使用しているコネクタ型式/メーカは、J0026D21B/PULSE です。

表 7-12 Ethernet 10/100 Base-T

番号	信号名	I/O	機　能
1	TX+		差動ツイストペア出力+
2	TX-		差動ツイストペア出力-
3	RX+		差動ツイストペア入力+
4			75Ω終端（4 番ピンと 5 番ピンはショートしています）
5			75Ω終端（4 番ピンと 5 番ピンはショートしています）
6	RX-		差動ツイストペア入力-
7			75Ω終端（7 番ピンと 8 番ピンはショートしています）
8			75Ω終端（7 番ピンと 8 番ピンはショートしています）

8.基板形状図

本ボードの基板形状図を図 8-1に示します。



〔単位:mm〕

図 8-1 SZ310-U00 の基板形状

改訂履歴

Ver.	年月日	改訂内容
1.0.0	2005/02/12	・初版作成
1.0.1	2006/04/27	・誤記訂正
2.0.0	2006/08/11	・スターターキットガイド作成に伴い 9、10 項削除 ・SZ310-U00 ブロック図変更 ・使用温度範囲追記
2.0.1	2006/10/18	・基板外形図 詳細寸法追加 ・保証に関する注意事項追記 ・改造の際の注意事項追記 ・CoreConnect の図を追加 ・外部 I/O ピンの初期状態追記
2.0.2	2006/12/15	・CoreConnect 修正 ・メモリマップ修正 ・表紙デザイン改版
2.0.3	2007/06/15	・誤記訂正
2.0.4	2007/10/10	・保証に関する注意事項の内容変更
2.0.5	2007/10/19	・表記ゆれ修正
2.0.6	2007/12/14	・基板外形図 CON2 の 1 番ピンの位置追加
2.0.7	2008/02/15	・各種インターフェースの配置の各コネクタに 2 番ピンの情報追加 ・基板外形図修正
2.0.8	2008/06/20	・『7 各種インターフェース仕様』に CON3 の 13 番ピンの情報追加

SUZAKU-V Hardware Manual 2008年 6月20日 Version 2.0.8

株式会社アットマークテクノ
060-0035 札幌市中央区北5条東2丁目AFTビル6F TEL: 011-207-6550 FAX: 011-207-6570